

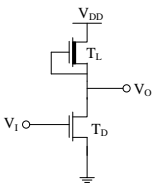
LOGIČKA KOLA SA MOS TRANZISTORIMA

2. deo



1

Invertor u nMOS tehnologiji sa aktivnim opterećenjem na izlazu
u vidu nMOS tranzistora sa ugrađenim kanalom



Kako već postoji kanal, odnosno $V_{Tn,L}$ je po prirodi negativno, uvek će važiti

$$V_{GS,L} = 0 > V_{Tn,L}$$

odnosno tranzistor T_L uvek vodi. Za ulazni napon $V_I < V_{Tn,D}$ tranzistor T_D je zakočen. Kolo je neopterećeno $I_{Dn,D} = 0 = I_{Dn,L}$. Kako tranzistor T_L radi, mora raditi u omskoj oblasti

$$I_{Dn,L} = \frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = 0$$

kako bi se njegova radna tačka podesila tako da je $V_{DS,L} = 0$, što daje $I_{Dn,L} = 0$. To je jedina moguća radna tačka nezavisno od napona $V_{GS,L}$. Da smo pretpostavili da radi u zasićenju

$$I_{Dn,L} = \frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,L}}{2} (-V_{Tn,L})^2 > 0$$

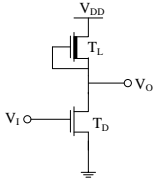
Izraz pokazuje da nije moguće da tranzistor T_L radi u zasićenju sa strujom drejna jednakom nuli. Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,L} = V_{DD}$$



2

Daljim porastom ulaznog napona $V_I = V_{Tn,D} + \varepsilon$ tranzistor T_D počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju. $V_{DS,D} \geq V_{GS,D} - V_{Tn,D}$ odnosno $V_O \geq V_I - V_{Tn,D}$.



Izjednačavanjem struja $I_{Dn,L} = I_{Dn,D}$

$$\frac{k_{n,L}}{2} (2V_{DS,L}(V_{GS,L} - V_{Tn,L}) - V_{DS,L}^2) = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

odnosno

$$\frac{k_{n,L}}{2} (2(V_{DD} - V_O)(-V_{Tn,L}) - (V_{DD} - V_O)^2) = \frac{k_{n,D}}{2} (V_I - V_{Tn,D})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

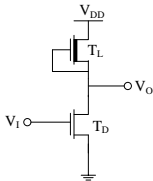
$$k_{n,L}(V_{DD} - V_O) (-2V_{Tn,L} - (V_{DD} - V_O)) = k_{n,D}(V_I - V_{Tn,D})^2$$



3

$$1. \quad k_{n,L}(V_{DD} - V_O) (-2V_{Tn,L} - (V_{DD} - V_O)) = k_{n,D}(V_I - V_{Tn,D})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi V_{IL} i uradili diferenciranje leve i desne strane i zamenili da je $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo



$$k_{n,L} (-2V_{Tn,L} - (V_{DD} - V_O)) - k_{n,L}(V_{DD} - V_O) = 2k_{n,D}(V_I - V_{Tn,D})$$

$$k_{n,L} (-2V_{Tn,L} - 2(V_{DD} - V_O)) = 2k_{n,D}(V_I - V_{Tn,D})$$

$$2. \quad V_I = V_{Tn,D} + \frac{k_{n,D}}{k_{n,L}} (-V_{Tn,L} - (V_{DD} - V_O))$$

1. i 2. dve jednačine sa dve nepoznate, često se javlja ova situacija i javljaće se. Rešavanjem

$$V_{IL} = V_{Tn,D} - V_{Tn,L} \frac{k_{n,L}}{k_{n,D}} \sqrt{\frac{1}{1 + \frac{k_{n,L}}{k_{n,D}}}}$$

$$V_{O(IL)} = V_{DD} + V_{Tn,L} \left(1 + \sqrt{\frac{1}{1 + \frac{k_{n,L}}{k_{n,D}}}} \right)$$

Negativno po prirodi za tranzistor sa ugrađenim kanalom



4

Daljim porastom ulaznog napona, napon na drejnu tranzistora T_D opada, napon između drejna i sorsa tranzistora T_L raste i kada je

$$V_{DS,D} = V_O \geq V_{GS,D} - V_{Tn,D} = V_I - V_{Tn,D}$$

$$V_{DS,L} = V_{DD} - V_O \geq V_{GS,L} - V_{Tn,L} = -V_{Tn,L}$$

Odnosno

$$V_O \geq V_I - V_{Tn,D}$$

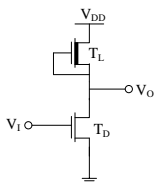
$$V_O \leq V_{DD} + V_{Tn,L}$$

postoje uslovi da i tranzistor T_D i tranzistor T_L rade u zasićenju. Tada je

$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (V_{GS,D} - V_{Tn,D})^2$$

$$k_{n,L} (-V_{Tn,L})^2 = k_{n,D} (V_I - V_{Tn,D})^2$$

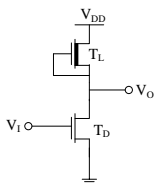
$$V_I = V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}}$$



5

$$V_I = V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}}$$

I praktično prvi put od kako smo krenuli sa analizom logičkih kola u karakteristici prenosa $V_O = f(V_I)$ dobijamo „vertikalnu“ pravu odnosno oblast gde je pojačanje beskonačno. Kao što nam treba za „idealno logičko kolo“. U realnosti to baš i nije slučaj pošto smo zanemarili i efekat kratkog kanala i efekat skraćanja dužine kanala. Pravi izraz bi glasio



$$\frac{k_{n,L}}{1 + \frac{-V_{Tn,L}}{E_{Cn} L_{n,L}}} (-V_{Tn,L})^2 (1 + \lambda_{n,L} (V_{DD} - V_O)) = \frac{k_{n,D}}{1 + \frac{V_I - V_{Tn,D}}{E_{Cn} L_{n,D}}} (V_I - V_{Tn,D})^2 (1 + \lambda_{n,D} V_O)$$

odnosno, to ne bi bila vertikalna linija, ali bi pojačanje zaista bilo jako veliko

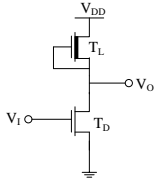
Sada je lako izračunati i tačku V_S pošto će se ona verovatno naći u ovoj oblasti, odnosno možemo direktno da pišemo

$$V_S = V_{Tn,D} - V_{Tn,L} \sqrt{\frac{k_{n,L}}{k_{n,D}}}$$



6

Daljim porastom ulaznog napona, napon na drejnu tranzistora T_D opada, napon između drejna i sorsa tranzistora T_L raste. Tranzistor T_L ostaje u zasićenju, ali tranzistor T_D počinje da radi u omskoj oblasti



$$\frac{k_{n,L}}{2} (V_{GS,L} - V_{Tn,L})^2 = \frac{k_{n,D}}{2} (2V_{DS,D}(V_{GS,D} - V_{Tn,D}) - V_{DS,D}^2)$$

$$1. \quad k_{n,L}(-V_{Tn,L})^2 = k_{n,D}V_O(2(V_I - V_{Tn,D}) - V_O)$$

Ako se u ovoj oblasti nalazi V_{IH} diferenciranjem leve i desne strane i izjednačavanjem $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo

$$0 = -k_{n,D}(2(V_I - V_{Tn,D}) - V_O) + k_{n,D}V_O(2 + 1)$$

$$2. \quad V_I = V_{Tn,D} + 2V_O$$

Rešavanjem

$$V_{O(IH)} = -V_{Tn,L} \sqrt{\frac{k_{n,L}}{3k_{n,D}}}$$

$$V_{IH} = V_{Tn,D} - 2V_{Tn,L} \sqrt{\frac{k_{n,L}}{3k_{n,D}}}$$



Napon logičke nule se dobija iz izraza

$$k_{n,L}(-V_{Tn,L})^2 = k_{n,D}V_O(2(V_I - V_{Tn,D}) - V_O)$$

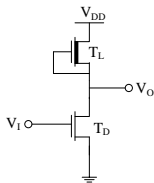
za $V_I = V_{OH}$

$$k_{n,L}(-V_{Tn,L})^2 = k_{n,D}V_O(2(V_{OH} - V_{Tn,D}) - V_O)$$

Uz V_{OL} malo

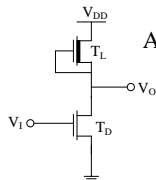
$$k_{n,L}(-V_{Tn,L})^2 = k_{n,D}V_O(2(V_{OH} - V_{Tn,D}))$$

$$V_{OL} \approx \frac{1}{2} \frac{k_{n,L}}{k_{n,D}} \frac{(-V_{Tn,L})^2}{V_{DD} - V_{Tn,D}}$$



Ono što mora da se proveriti i što mora da bude zbog održivosti naponskih nivoa jeste $V_{OL} < V_{Tn}$ da bi taj napon dao napon logičke jedinice. Kako je napon logičke jedinice V_{DD} po načinu kako smo radili on sigurno daje logičku nulu, i tu postoji održivost naponskih nivoa. Znači trebalo bi izabrati parametre tako da

$$\frac{1}{2} \frac{k_{n,L} (-V_{Tn,L})^2}{k_{n,D} V_{DD} - V_{Tn,D}} < V_{Tn,D}$$



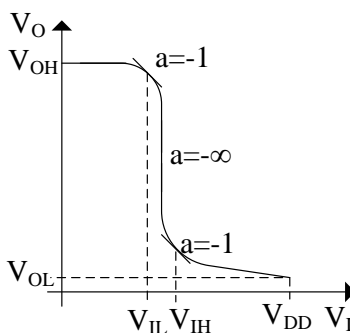
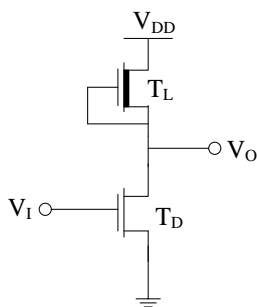
Ali isto tako $V_{O(IH)} < V_{IL}$ a bilo bi jako dobro da $V_{O(IH)} < V_{Tn,D}$

$$-V_{Tn,L} \sqrt{\frac{k_{n,L}}{3k_{n,D}}} < V_{Tn,D}$$

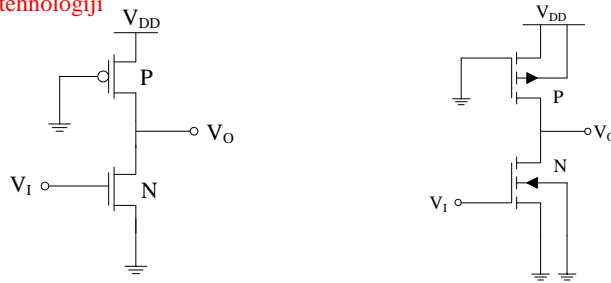
U svim ovim izrazima podešava se faktor $\frac{k_{n,D}}{k_{n,L}}$ i obeležava sa β

$$-V_{Tn,L} \sqrt{\frac{1}{3\beta}} < V_{Tn,D} \quad \beta > \frac{1}{3} \left(\frac{-V_{Tn,L}}{V_{Tn,D}} \right)^2$$

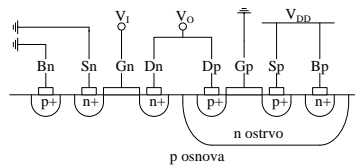
Uočiti da će za ovako izabran parametar biti ispunjen uslov $V_{O(IL)} > V_{IH}$ potreban opet zbog održivosti naponskih nivoa.



Invertor u pseudo nMOS tehnologiji



Uočiti da ovde ne postoji problem polarizacija osnova pošto je sors tranzistora P na potencijalu V_{DD} , a i njegova osnova je povezana sa sorsom.



p-kanalni MOS

Prvi način pisanja – „svi naponi su negativni – označavanje kao kod n-kanalnog, struja ide od sorsa ka drejnu“

$$I_{Gp} = 0$$

$$I_{Dp} = I_{Sp} \geq 0 \quad \text{za} \quad V_{GSp} \leq V_{Tp} \quad (V_{Tp} < 0)$$

$$V_{Dp\text{sat}} = \frac{(V_{GSp} - V_{Tp})}{1 + \frac{L_p E_{Cp}}{L_p E_{Cp}}} = \frac{(V_{GSp} - V_{Tp}) L_p E_{Cp}}{L_p E_{Cp} + (V_{GSp} - V_{Tp})} \quad (E_{Cp} < 0)$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{Dsp} \geq V_{Dp\text{sat}}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{L_p E_{Cp}}{L_p E_{Cp}}} (2V_{Dsp}(V_{GSp} - V_{Tp}) - V_{Dsp}^2)$$



Tranzistor vodi u zasićenju kada je
i tada je njegova struja data izrazom

$$V_{DSp} \leq V_{DSpsat}$$

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{(V_{GSp} - V_{Tp})}{L_p E_{Cp}}} (V_{GSp} - V_{Tp})^2 (1 + \lambda_p V_{DSp})$$

ili

$$I_{Dp} = W_p C_{Oxp} v_{satp} \frac{(V_{GSp} - V_{Tp})^2}{(V_{GSp} - V_{Tp}) + L_p E_{Cp}} (1 + \lambda_p V_{DSp})$$

$$\lambda_p < 0 \quad i \quad v_{psat} = \frac{\mu_p E_{Cp}}{2} < 0$$

U slučaju $|V_{GSp} - V_{Tp}| \gg |L_p E_{Cp}|$

$$V_{DSpsat} = L_p E_{Cp} \quad i \quad v_{psat} = \mu_p E_{Cp}$$

$$I_{Dp} = W_p C_{Oxp} v_{psat} \left(V_{GSp} - V_{Tp} - \frac{V_{DSpsat}}{2} \right) \quad \text{Šta nam bude zgodnije.}$$



Drugi način pisanja - „svi naponi su pozitivni – označavanje suprotno od n-kanalnog, struja ide od sorsa ka drejnu“

$$I_{Gp} = 0$$

$$I_{Dp} = I_{Sp} \geq 0 \quad \text{za} \quad V_{SGp} \geq V_{Tp} \quad (V_{Tp} > 0)$$

$$V_{SDpsat} = \frac{(V_{SGp} - V_{Tp})}{1 + \frac{(V_{SGp} - V_{Tp})}{L_p E_{Cp}}} = \frac{(V_{SGp} - V_{Tp}) L_p E_{Cp}}{L_p E_{Cp} + (V_{SGp} - V_{Tp})} \quad (E_{Cp} > 0)$$

Tranzistor vodi u triodnoj, omskoj, neaktivnoj oblasti, kada je

$$V_{SDp} \leq V_{SDpsat}$$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{V_{SDp}}{L_p E_{Cp}}} (2V_{SDp}(V_{SGp} - V_{Tp}) - V_{SDp}^2)$$

Slično kao da smo upotrebili oznake kao kod n-kanalnog ali pisali na primer $|V_{GSp}|$ itd...



Tranzistor vodi u zasićenju kada je $V_{SDp} \geq V_{SDpsat}$

i tada je njegova struja data izrazom

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{(V_{SGp} - V_{Tp})}{L_p E_{Cp}}} (V_{SGp} - V_{Tp})^2 (1 + \lambda_p V_{SDp})$$

ili

$$I_{Dp} = W_p C_{Oxp} v_{satp} \frac{(V_{SGp} - V_{Tp})^2}{(V_{SGp} - V_{Tp}) + L_p E_{Cp}} (1 + \lambda_p V_{SDp})$$

$$\lambda_p > 0 \quad i \quad v_{satp} = \frac{\mu_p E_{Cp}}{2} > 0$$

U slučaju $(V_{GSp} - V_{Tp}) \gg L_p E_{Cp}$

$$V_{DSpsat} = L_p E_{Cp} \quad i \quad v_{satp} = \mu_p E_{Cp}$$

$$I_{Dp} = W_p C_{Oxp} v_{satp} \left(V_{GSp} + V_{Tp} + \frac{V_{SDpsat}}{2} \right) \quad \text{Šta nam bude zgodnije.}$$



U ovoj konfiguraciji tranzistor P uvek vodi.

$$V_{GS,P} = V_{G,P} - V_{S,P} = 0 - V_{DD} = -V_{DD} < V_{Tp}$$

(ne zaboravite $V_{Tp} < 0$ za pMOS FET)

Za ulazni napon $V_I < V_{Tn}$ tranzistor N je zakočen. Kolo je neoptrećeno $I_{Dn} = 0 = I_{Dp}$. Kako tranzistor P radi, mora raditi u omskoj oblasti

$$I_{Dp} = \frac{k_p}{2} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = 0$$

kako bi se njegova radna tačka podesila tako da je $V_{DS,P} = 0$, što daje $I_{Dp} = 0$. To je jedina moguća radna tačka nezavisno od napona $V_{GS,P}$

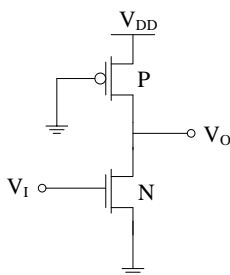
Da smo pretpostavili da radi u zasićenju

$$I_{Dp} = \frac{k_p}{2} (V_{GS,P} - V_{Tp})^2 = \frac{k_p}{2} (-V_{DD} - V_{Tp})^2 > 0$$

Izraz pokazuje da nije moguće da tranzistor P radi u zasićenju sa strujom drejna jednakom nuli.

Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,P} = V_{DD}$$



Daljim porastom ulaznog napona $V_I = V_{Tn} + \varepsilon$ tranzistor N počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju. $V_{DS,N} \geq V_{GS,N} - V_{Tn}$ odnosno $V_O \geq V_I - V_{Tn}$.

Izjednačavanjem struja $I_{Dp} = I_{Dn}$

$$\frac{k_p}{2} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = \frac{k_n}{2} (V_{GS,N} - V_{Tn})^2$$

dolazimo do zavisnosti izlaznog od ulaznog napona koju možemo napisati u obliku

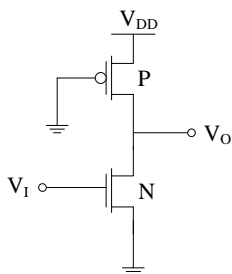
$$1. \quad k_p(2(V_O - V_{DD})(-V_{DD} - V_{Tp}) - (V_O - V_{DD})^2) = \frac{k_n}{2}(V_I - V_{Tn})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi V_{IL} i uradili diferenciranje leve i desne strane i zamenili da je $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo

$$k_p(-2(V_{DD} + V_{Tp}) - (V_O - V_{DD})) - k_p(V_O - V_{DD}) = 2k_n(V_I - V_{Tn})$$

$$k_p(-2(V_{DD} + V_{Tp}) - 2(V_O - V_{DD})) = 2k_n(V_I - V_{Tn})$$

$$2. \quad V_I = V_{Tn} + \frac{k_p}{k_n}(-V_{DD} + V_{Tp} - (V_O - V_{DD})) = V_{Tn} + \frac{k_p}{k_n}(-V_{Tp} - V_O)$$



$$V_{O(IL)} = -V_{Tp} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_n}{k_n + k_p}}$$

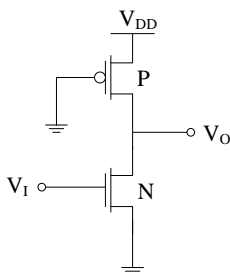
$$V_{IL} = V_{Tn} + (V_{DD} + V_{Tp}) \frac{k_p}{k_n} \sqrt{\frac{k_p}{k_p + k_n}}$$

Važno je da uočite

$$V_{IL} = V_{Tn} + (V_{DD} + V_{Tp}) \frac{k_p}{k_n} \sqrt{\frac{k_p}{k_p + k_n}} = V_{Tn} + (V_{DD} + V_{Tp}) \frac{k_p}{k_n} \sqrt{\frac{\frac{k_p}{k_n}}{1 + \frac{k_p}{k_n}}}$$

da se ništa neće promeniti ni ovde a ni na drugim mestima ako na primer povećamo obe širine tranzistora istim faktorom, pošto nam se stalno pojavljuju odnosi

$$\frac{k_p}{k_n} = \frac{\mu_p C_{oxp} \frac{W_p}{L_p}}{\mu_n C_{oxn} \frac{W_n}{L_n}} = \frac{\mu_p C_{oxp} \frac{F \times W_p}{L_p}}{\mu_n C_{oxn} \frac{F \times W_n}{L_n}}$$



Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste i kada je

$$V_{DS,N} = V_O \geq V_{GS,N} - V_{Tn} = V_I - V_{Tn}$$

$$V_{DS,P} = V_O - V_{DD} \leq V_{GS,P} - V_{Tp} = -V_{DD} - V_{Tp}$$

$$V_O \geq V_I - V_{Tn}$$

$$V_O \leq -V_{Tp}$$

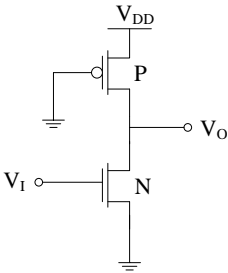
postoje uslovi da i tranzistor T1 i tranzistor T2 rade u zasićenju. Tada je

$$\frac{k_p}{2} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} (V_{GS,N} - V_{Tn})^2$$

$$k_p (-V_{DD} - V_{Tp})^2 = k_n (V_I - V_{Tn})^2$$

$$V_I = V_{\infty} = V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{k_n}}$$

$$\frac{k_p}{1 + \frac{-V_{DD} - V_{Tp}}{E_{cp} L_p}} (-V_{DD} - V_{Tp})^2 (1 + \lambda_p (V_O - V_{DD})) = \frac{k_n}{1 + \frac{V_I - V_{Tn}}{E_{cn} L_n}} (V_I - V_{Tn})^2 (1 + \lambda_n V_O)$$



Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste. Tranzistor P ostaje u zasićenju, ali tranzistor N počinje da radi u omskoj oblasti

$$\frac{k_p}{2} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} (2V_{DS,N} (V_{GS,N} - V_{Tn}) - V_{DS,N}^2)$$

$$1. \quad k_p (-V_{DD} - V_{Tp})^2 = k_n V_O (2(V_I - V_{Tn}) - V_O)$$

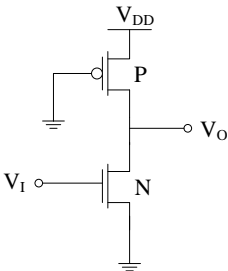
V_{IH} - diferenciranjem leve i desne strane i izjednačavanjem $\frac{\partial V_O}{\partial V_I} = -1$ dobijamo

$$0 = -k_n (2(V_I - V_{Tn}) - V_O) + k_n V_O (2 + 1)$$

$$2. \quad V_I = V_{Tn} + 2V_O$$

$$V_{O(IH)} = (V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{3k_n}}$$

$$V_{IH} = V_{Tn} + 2(V_{DD} + V_{Tp}) \sqrt{\frac{k_p}{3k_n}} = V_{Tn} + (V_{DD} + V_{Tp}) \sqrt{\frac{4k_p}{3k_n}}$$



Napon logičke nule se dobija iz izraza

$$k_p(-V_{DD} - V_{Tp})^2 = k_n V_O(2(V_I - V_{Tn}) - V_O)$$

za $V_I = V_{OH}$

$$k_p(-V_{DD} - V_{Tp})^2 = k_n V_{OL}(2(V_{OH} - V_{Tn}) - V_{OL})$$

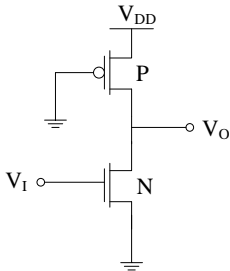
Uz V_{OL} malo

$$k_p(-V_{DD} - V_{Tp})^2 \approx k_n V_{OL}(2(V_{OH} - V_{Tn}))$$

$$V_{OL} \approx \frac{1}{2} \frac{k_p}{k_n} \frac{(-V_{DD} - V_{Tp})^2}{V_{DD} - V_{Tn}}$$

Uz uslov $|V_{Tp}| = V_{Tn}$

$$V_{OL} \approx \frac{1}{2} \frac{k_p}{k_n} (V_{DD} - V_{Tn})$$



Uočite da zbog održivosti naponskih nivoa $V_{OL} < V_{Tn}$ pa dobijamo uslov

$$\frac{1}{2} \frac{k_p}{k_n} (V_{DD} - V_{Tn}) < V_{Tn}$$

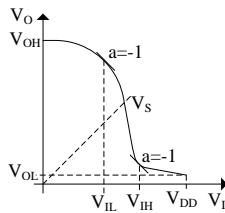
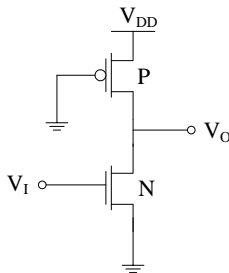
$$\frac{k_n}{k_p} = \beta > \frac{V_{DD} - V_{Tn}}{2V_{Tn}}$$

I isto tako $V_{O(IH)} < V_{IL}$, a bilo bi jako dobro $V_{O(IH)} < V_{Tn1}$

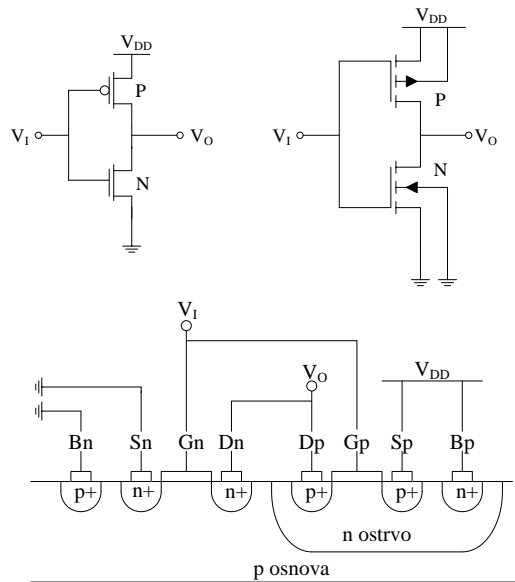
$$(V_{DD} - V_{Tn}) \sqrt{\frac{k_p}{3k_n}} = (V_{DD} - V_{Tn}) \sqrt{\frac{1}{3\beta}} < V_{Tn}$$

Iz čega se dobija izraz koji se i koristi

$$\beta > \frac{1}{3} \left(\frac{V_{DD} - V_{Tn}}{V_{Tn}} \right)^2$$



Invertor u CMOS tehnologiji



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

23

23

Pri ulaznom naponu $V_I=0$ N tranzistor sigurno neće voditi pošto je

$$V_{GS,N} = V_I = 0 < V_{Tn}$$

Tranzistor P ima uslove da vodi

$$V_{GS,P} = V_{G,P} - V_{S,P} = V_I - V_{DD} = 0 - V_{DD} < V_{Tp}$$

Kolo je neopterećeno $I_{Dn} = 0 = I_{Dp}$. Kako tranzistor P ima uslove da vodi, mora raditi u omskoj oblasti

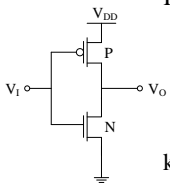
$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{V_{DS,P}}{E_{Cp}L_p}} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = 0$$

kako bi se njegova radna tačka podesila tako da je $V_{DS,P} = 0$, što daje $I_{Dp} = 0$. Da smo pretpostavili da radi u zasićenju

$$I_{Dp} = \frac{k_p}{2} \frac{1}{1 + \frac{V_{GS,P}}{E_{Cp}L_p}} (V_{GS,P} - V_{Tp})^2 = \frac{k_p}{2} \frac{1}{1 + \frac{-V_{DD} - V_{Tp}}{E_{Cp}L_p}} (-V_{DD} - V_{Tp})^2 > 0$$

Izraz pokazuje da nije moguće da tranzistor P radi u zasićenju sa strujom drejna jednakom nuli. Prema tome

$$V_O = V_{OH} = V_{DD} - V_{DS,P} = V_{DD}$$



Katedra za elektroniku
prof dr Lazar Saranovac

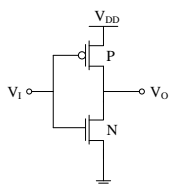
Digitalna elektronika 1 - 2021/22

24

24

Daljim porastom ulaznog napona $V_I = V_{Tn} + \varepsilon$ tranzistor N počinje da vodi sa malom strujom. Visok mu je napon na drejnu pa radi u zasićenju. $V_{DS,N} \geq V_{GS,N} - V_{Tn}$ odnosno $V_O \geq V_I - V_{Tn}$. Napon između sorsa i drejna tranzistora P je i dalje mali tako da on i dalje radi u omskoj oblasti.

Uslov da tranzistor N radi u zasićenju



$$V_{DS,N} \geq \frac{(V_{GS,N} - V_{Tn})}{1 + \frac{(V_{GS,N} - V_{Tn})}{L_n E_{Cn}}}$$

$$V_O \geq \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uslov da tranzistor P radi u omskoj oblasti

$$V_{DS,P} \geq \frac{(V_{GS,P} - V_{Tp})}{1 + \frac{(V_{GS,P} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O - V_{DD} \geq \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

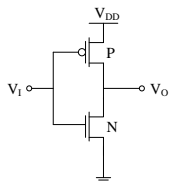
$$V_O \geq V_{DD} + \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$



Iz uslov se vidi da postoji oblast ulaznih i izlaznih napona za koju važi pretpostavka: P tranzistor radi u omskoj oblasti, N tranzistor radi u zasićenju. Na primer za dugi kanal

$$\text{N tranzistor u zasićenju: } V_O \geq V_I - V_{Tn}$$

$$\text{P tranzistor u omskoj: } V_O \geq V_I - V_{Tp}$$

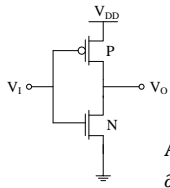


Za P tranzistor (kao i u prethodnom slučaju) koristimo „prvi način pisanja jednačina“, znajući da su svi naponi uključujući i E_{Cp} negativni. Zato je i promenjen smer veće jednakosti za P tranzistor (nadam se da Vas to ne zbunjuje).

Izjednačavanjem struja $I_{Dp} = I_{Dn}$

$$\frac{k_p}{2} \frac{1}{1 + \frac{V_{DS,P}}{L_p E_{Cp}}} (2V_{DS,P}(V_{GS,P} - V_{Tp}) - V_{DS,P}^2) = \frac{k_n}{2} \frac{1}{1 + \frac{V_{GS,N} - V_{Tn}}{L_n E_{Cn}}} (V_{GS,N} - V_{Tn})^2$$





$$*1. k_p \frac{1}{1 + \frac{V_O - V_{DD}}{L_p E_{Cp}}} (2(V_O - V_{DD})(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD})^2) = k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Ako bi sada smatrali da se u toj oblasti nalazi V_{IL} i uradili diferenciranje leve i desne strane i zamenili da je $\frac{\partial V_O}{\partial V_I} = -1$ dobili bi suviše kompleksan izraz. Ali ako smatramo da ćemo dobiti približne rezultate kao i kod prethodnih invertora, možemo smatrati da je $\frac{V_{O(IL)} - V_{DD}}{L_p E_{Cp}} \ll 1$ pošto očekujemo veliko $V_{O(IL)}$ blizu V_{DD} kao i da je $\frac{V_I - V_{Tn}}{L_n E_{Cn}} \ll 1$ pošto očekujemo da će V_{IL} biti blisko V_{Tn} . U tom slučaju priprema za diferenciranje je

$$1. k_p (V_O - V_{DD}) (2(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD})) = k_n (V_I - V_{Tn})^2$$

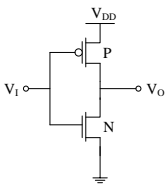
a posle diferenciranja

$$-k_p (2(V_I - V_{DD} - V_{Tp}) - (V_O - V_{DD})) + k_p (V_O - V_{DD})(2 + 1) = 2k_n (V_I - V_{Tn})$$

$$2. V_I = \frac{4k_p V_O - 2k_p V_{DD} + 2k_p V_{Tp} + 2k_n V_{Tn}}{2(k_n + k_p)} = \frac{2V_O - V_{DD} + V_{Tp} + \frac{k_n}{k_p} V_{Tn}}{1 + \frac{k_n}{k_p}}$$



Izrazi koji će se dobiti na način na koji smo do sada radili su dosta složeni. Međutim dosta česta situacija, jeste $k_n = k_p$ i $V_{Tn} = -V_{Tp}$. U tom slučaju



$$V_I = V_O - \frac{V_{DD}}{2}$$

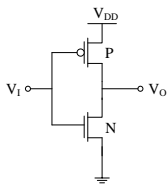
$$V_{O(IL)} = \frac{7V_{DD} + 2V_{Tn}}{8}$$

$$V_{IL} = \frac{3V_{DD} + 2V_{Tn}}{8}$$



Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste, pa je moguće da i P tranzistor uđe u zasićenje.

Uslov da tranzistor N radi u zasićenju



$$V_{DS,N} \geq \frac{(V_{GS,N} - V_{Tn})}{1 + \frac{(V_{GS,N} - V_{Tn})}{L_n E_{Cn}}} \quad V_O \geq \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uslov da tranzistor P radi u zasićenju

$$V_{DS,P} \leq \frac{(V_{GS,P} - V_{Tp})}{1 + \frac{(V_{GS,P} - V_{Tp})}{L_p E_{Cp}}} \quad V_O - V_{DD} \leq \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

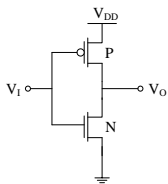
$$V_O \leq V_{DD} + \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$



Iz uslov se vidi da postoji oblast ulaznih i izlaznih napona za koju važi pretpostavka: P tranzistor radi u zasićenju, N tranzistor radi u zasićenju. Na primer za dugi kanal

$$\text{N tranzistor u zasićenju: } V_O \geq V_I - V_{Tn}$$

$$\text{P tranzistor u zasićenju: } V_O \leq V_I - V_{Tp}$$



$$\frac{k_p}{2} \frac{1}{1 + \frac{(V_{GS,P} - V_{Tp})}{L_p E_{Cp}}} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} \frac{1}{1 + \frac{(V_{GS,N} - V_{Tn})}{L_n E_{Cn}}} (V_{GS,N} - V_{Tn})^2$$

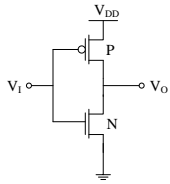
$$k_p \frac{1}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 = k_n \frac{1}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

Opet smo dobili beskonačno pojačanje, bez obzira što su u pitanju tranzistori sa kratkim kanalom. Dosta očigledno je da će se i tačka V_s naći u ovoj oblasti. **Sređivanju i izvođenju ovih izraza je posvećen poseban deo materijala „Podešavanje praga odlučivanja CMOS invertora“.** (JAVLJA SE JAKO ČESTO NA ISPITU) Ali i da se podsetimo u realnosti to baš i nije slučaj pošto smo zanemarili efekat skraćanja dužine kanala. odnosno, to ne bi bila vertikalna linija, ali bi pojačanje zaista bilo jako veliko.



Daljim porastom ulaznog napona, napon na drejnu tranzistora N opada, napon između sorsa i drejna tranzistora P raste. Tranzistor P ostaje u zasićenju, ali tranzistor N počinje da radi u omskoj oblasti.

Uslov da tranzistor N radi u omskoj oblasti



$$V_{DS,N} \leq \frac{(V_{GS,N} - V_{Tn})}{1 + \frac{(V_{GS,N} - V_{Tn})}{L_n E_{Cn}}} \quad V_O \leq \frac{(V_I - V_{Tn})}{1 + \frac{(V_I - V_{Tn})}{L_n E_{Cn}}}$$

Uslov da tranzistor P radi u zasićenju

$$V_{DS,P} \leq \frac{(V_{GS,P} - V_{Tp})}{1 + \frac{(V_{GS,P} - V_{Tp})}{L_p E_{Cp}}} \quad V_O - V_{DD} \leq \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

$$V_O \leq V_{DD} + \frac{(V_I - V_{DD} - V_{Tp})}{1 + \frac{(V_I - V_{DD} - V_{Tp})}{L_p E_{Cp}}}$$

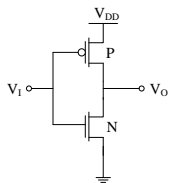


Iz uslov se vidi da postoji oblast ulaznih i izlaznih napona za koju važi pretpostavka: P tranzistor radi u zasićenju, N tranzistor radi u omskoj oblasti. Na primer za dugi kanal

$$\text{N tranzistor u zasićenju: } V_O \leq V_I - V_{Tn}$$

$$\text{P tranzistor u zasićenju: } V_O \leq V_I - V_{Tp}$$

Veza ulaznog i izlaznog napona je tada



$$\frac{k_p}{2} \frac{1}{1 + \frac{V_{GS,P} - V_{Tp}}{L_p E_{Cp}}} (V_{GS,P} - V_{Tp})^2 = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DS,N}}{L_n E_{Cn}}} (2V_{DS,N}(V_{GS,N} - V_{Tn}) - V_{DS,N}^2)$$

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 = k_n \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O(V_I - V_{Tn}) - V_O^2)$$

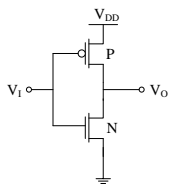


$$*1. \quad k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 = k_n \frac{1}{1 + \frac{V_O}{L_n E_{Cn}}} (2V_O(V_I - V_{Tn}) - V_O^2)$$

Ako bi sada smatrali da se u toj oblasti nalazi V_{IL} i uradili diferenciranje leve i desne strane i zamenili da je $\frac{\partial V_O}{\partial V_I} = -1$ dobili bi suviše kompleksan izraz. Ali ako smatramo da ćemo dobiti približne rezultate kao i kod prethodnih invertora, možemo smatrati da je $\frac{V_{O(IH)} - V_{DD}}{L_n E_{Cn}} \ll 1$ pošto očekujemo malo $V_{O(IH)}$ blizu 0 kao i da je $\frac{V_{IH} - V_{DD} - V_{Tp}}{L_p E_{Cp}} \ll 1$ pošto očekujemo da će V_{IH} biti blisko $V_{DD} + V_{Tp}$. U tom slučaju priprema za diferenciranje je

$$1. \quad k_p (V_I - V_{DD} - V_{Tp})^2 = k_n (2V_O(V_I - V_{Tn}) - V_O^2)$$

$$2. \quad V_I = \frac{2k_n V_O + k_p V_{DD} + k_p V_{Tp} + k_n V_{Tn}}{k_p + k_n} = \frac{2 \frac{k_n}{k_p} V_O + V_{DD} + V_{Tp} + \frac{k_p}{k_n} V_{Tn}}{1 + \frac{k_n}{k_p}}$$



Česta situacija, jeste $k_n = k_p$ i $V_{Tn} = -V_{Tp}$. U tom slučaju

$$V_I = V_O + \frac{V_{DD}}{2}$$

pa zamenom u polazni izraz

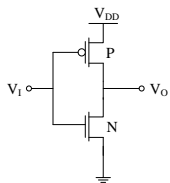
$$k_p (V_I - V_{DD} - V_{Tp})^2 = k_n V_O (2(V_I - V_{Tn}) - V_O)$$

$$\left(V_O + \frac{V_{DD}}{2} - V_{DD} + V_{Tn} \right)^2 = V_O \left(2 \left(V_O + \frac{V_{DD}}{2} - V_{Tn} \right) - V_O \right)$$

$$\left(V_O - \frac{V_{DD}}{2} + V_{Tn} \right)^2 = V_O (V_O + V_{DD} - 2V_{Tn})$$

$$V_{O(IH)} = \frac{V_{DD} - 2V_{Tn}}{8}$$

$$V_{IH} = \frac{5V_{DD} - 2V_{Tn}}{8}$$



Prilikom daljnjeg porasta ulaznog napona dešava se situacija

$$V_I \geq V_{DD} + V_{Tp}$$

kako je napon između gejta i sorsa tranzistora P

$$V_{GS,P} = V_{G,P} - V_{S,P} = V_I - V_{DD}$$

važiće $V_{GS,P} \geq V_{Tp}$ odnosno tranzistor P će se zakočiti. Tranzistor N radi u omskoj oblasti i njegova radna tačka se podešava $V_{DS,N} = 0$, pošto je kolo neopterećeno i njegova struja drejna je jednaka nuli.

$$I_{Dn} = \frac{k_n}{2} \frac{1}{1 + \frac{V_{DS,N}}{L_n E_{Cn}}} (2V_{DS,N}(V_{GS,N} - V_{Tn}) - V_{DS,N}^2) = 0$$

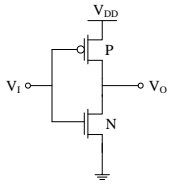
Kako je $V_{DS,N} = V_I = 0$ možemo odmah da pišemo

$$V_{OL} = 0$$

I prvi put, od kako smo krenuli sa analizom logičkih kola smo dobili

$$V_{OL} = 0$$

$$V_{OH} = V_{DD}$$



Zanimljivo je da u slučaju $k_n = k_p$ i $V_{Tn} = -V_{Tp}$

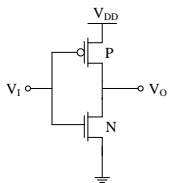
$$V_{IL} = \frac{3V_{DD} + 2V_{Tn}}{8}$$

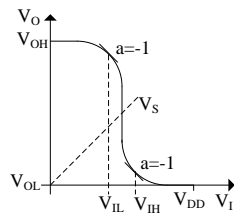
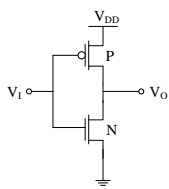
$$V_{IH} = \frac{5V_{DD} - 2V_{Tn}}{8}$$

imamo i jednake margine šuma

$$NM_L = V_{IL} - V_{OL} = \frac{3V_{DD} + 2V_{Tn}}{8} - 0 = \frac{3V_{DD} + 2V_{Tn}}{8}$$

$$NM_H = V_{OH} - V_{IH} = V_{DD} - \frac{5V_{DD} - 2V_{Tn}}{8} = \frac{3V_{DD} + 2V_{Tn}}{8}$$





1. N tranzistor zakočen, P tranzistor u omskoj oblasti
2. N tranzistor u zasićenju, P tranzistor u omskoj oblasti
3. N tranzistor u zasićenju, P tranzistor u zasićenju
4. N tranzistor u omskoj oblasti, P tranzistor u zasićenju
5. N tranzistor u omskoj oblasti, P tranzistor zakočen

Uočiti da će održanje naponskih nivoa biti ispunjeno, ili može lako biti ispunjeno čak i u onom našem najgorem slučaju, $V_{O(IH)} \leq V_{IL}$ i $V_{O(IL)} \geq V_{IH}$ na primer za situaciju koju smo posmatrali

$$V_{O(IH)} = \frac{V_{DD} - 2V_{Tn}}{8} \leq V_{IL} = \frac{3V_{DD} + 2V_{Tn}}{8}$$

$$V_{IH} = \frac{5V_{DD} - 2V_{Tn}}{8} \leq V_{O(IL)} = \frac{7V_{DD} + 2V_{Tn}}{8}$$

Oba daju identičan rezultat koji je uvek ispunjen $V_{DD} \geq -2V_{Tn}$.



Podlašavanje praga odlučivanja CMOS invertora - V_S

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 (1 + \lambda_p (V_o - V_{DD})) = k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2 (1 + \lambda_n V_o)$$

Zaključci:

1. Pojačanje neće biti beskonačno u 3. zoni ali će biti jako veliko.
2. Prag odlučivanja logičkog kola će se naći u ovoj oblasti.
3. Moguće je podlašavanjem odnosa $\frac{k_n}{k_p}$ podesiti vrednost praga odlučivanja logičkog kola.

Posmatraćemo tri različita slučaja, pri čemu ćemo zanemariti efekat skraćenja dužine kanala odnosno smatrati $\lambda_n = \lambda_p = 0$

Tranzistori sa dugačkim kanalom $V_S \ll E_C L$

Tranzistori sa kratkim kanalom $V_S \sim E_C L$

Tranzistori sa kratkim kanalom $V_S \gg E_C L$



Tranzistori sa dugačkim kanalom $V_S \ll E_C L$

U slučaju kada su tranzistori sa dugačkim kanalom, odnosno zanemaren je efekat zasićenja brzine nosilaca izraz se svodi na

$$k_p(V_I - V_{DD} - V_{Tp})^2 = k_n(V_I - V_{Tn})^2$$

odnosno

$$-\sqrt{\frac{k_p}{k_n}}(V_S - V_{DD} - V_{Tp}) = (V_S - V_{Tn})$$

(pazite na oslobađanje kvadrata u ovakvim situacijama – leva strana mora da bude pozitivna)

Prilikom ovih izvođenja česta situacija u literaturi jeste da se uvede smena

$$\sqrt{\frac{k_p}{k_n}} = r$$

r – odnos (ratio), pa je

$$V_S = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1 + r}$$



U tom slučaju potreban odnos r da bi se postavila tačka V_S je

$$r = \frac{V_S - V_{Tn}}{V_{DD} - V_S + V_{Tp}}$$

Prema tome ako bi želeli da $V_S = \frac{V_{DD}}{2}$ onda

$$r = \frac{\frac{V_{DD}}{2} - V_{Tn}}{\frac{V_{DD}}{2} + V_{Tp}}$$

i u slučaju $V_{Tn} = -V_{Tp}$ r treba da bude 1, odnosno

$$\sqrt{\frac{k_p}{k_n}} = 1 \Rightarrow \frac{k_p}{k_n} = 1$$

$$\frac{k_p}{k_n} = \frac{\mu_p C_{oxp} \frac{W_p}{L_p}}{\mu_n C_{oxn} \frac{W_n}{L_n}}$$

Podrazumeva se da su tranzistori urađeni u istoj tehnologiji $C_{oxp} = C_{oxn}$ i da je $L_p = L_n$ odnosno da se samo širinama kanala definišu odnosi (kao što smo i ranije radili) pa je potreban odnos

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

ili u opštem slučaju

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \left(\frac{V_S - V_{Tn}}{V_{DD} - V_S + V_{Tp}} \right)^2$$



Tranzistori sa kratkim kanalom $V_S \sim E_C L$

U slučaju kada su tranzistori sa kratkim kanalom i postoji efekat zasićenja brzine nosilaca,

$$k_p \frac{1}{1 + \frac{V_I - V_{DD} - V_{Tp}}{L_p E_{Cp}}} (V_I - V_{DD} - V_{Tp})^2 = k_n \frac{1}{1 + \frac{V_I - V_{Tn}}{L_n E_{Cn}}} (V_I - V_{Tn})^2$$

ili

$$k_p L_p E_{Cp} \frac{(V_I - V_{DD} - V_{Tp})^2}{(V_I - V_{DD} - V_{Tp}) + L_p E_{Cp}} = k_n L_n E_{Cn} \frac{(V_I - V_{Tn})^2}{(V_I - V_{Tn}) + L_n E_{Cn}}$$

U opštem slučaju za zadato V_S

$$\frac{k_p}{k_n} = \frac{L_n E_{Cn}}{L_p E_{Cp}} \times \frac{(V_S - V_{DD} - V_{Tp}) + L_p E_{Cp}}{(V_S - V_{Tn}) + L_n E_{Cn}} \left(\frac{V_S - V_{Tn}}{V_S - V_{DD} - V_{Tp}} \right)^2$$

$$\frac{k_p}{k_n} = \frac{L_n E_{Cn}}{L_p E_{Cp}} \times \frac{1 + \frac{L_p E_{Cp}}{V_S - V_{DD} - V_{Tp}}}{1 + \frac{L_n E_{Cn}}{V_S - V_{Tn}}} \times \frac{V_S - V_{Tn}}{V_S - V_{DD} - V_{Tp}}$$



(U ovom načinu pisanja $L_p E_{Cp} < 0$)

$$\frac{\mu_p C_{oxp} \frac{W_p}{L_p}}{\mu_n C_{oxn} \frac{W_n}{L_n}} = \frac{L_n E_{Cn}}{L_p E_{Cp}} \times \frac{1 + \frac{L_p E_{Cp}}{V_S - V_{DD} - V_{Tp}}}{1 + \frac{L_n E_{Cn}}{V_S - V_{Tn}}} \times \frac{V_S - V_{Tn}}{V_S - V_{DD} - V_{Tp}}$$

Podrazumeva se da su tranzistori urađeni u istoj tehnologiji $C_{oxp} = C_{oxn}$ i da je $L_p = L_n$ odnosno

da se samo širinama kanala definišu odnosi (kao što smo i ranije radili) i da je $E_{Cn} = \frac{2v_{satn}}{\mu_n}$,

$E_{Cp} = \frac{2v_{satp}}{\mu_p}$ i $v_{satn} = -v_{satp}$ pa je potreban odnos

$$\frac{W_p}{W_n} = \frac{1 + \frac{|L_p E_{Cp}|}{V_{DD} - V_S + V_{Tp}}}{1 + \frac{L_n E_{Cn}}{V_S - V_{Tn}}} \times \frac{V_S - V_{Tn}}{V_{DD} - V_S + V_{Tp}}$$



Uz uslov $V_{Tn} = -V_{Tp}$ ako treba da podesimo tačku V_S na polovinu napona napajanja,

$$\frac{W_p}{W_n} = \frac{\frac{V_{DD}}{2} - V_{Tn} + |L_p E_{Cp}|}{\frac{V_{DD}}{2} - V_{Tn} + L_n E_{Cn}}$$

U slučaju da prilikom ovog napona još uvek nije nastupilo zasićenje brzine nosilaca

$$\left(\frac{V_{DD}}{2} - V_{Tn}\right) \ll L_n E_{Cn} \quad \text{i} \quad \left|\frac{V_{DD}}{2} + V_{Tp}\right| \ll |L_p E_{Cp}|$$

izraz se svodi na izraz za tranzistore sa dugačkim kanalom.

$$\frac{W_p}{W_n} = \frac{|L_p E_{Cp}|}{L_n E_{Cn}} = \frac{L_p \frac{2v_{satp}}{\mu_p}}{L_n \frac{2v_{satn}}{\mu_n}} = \frac{\mu_n}{\mu_p}$$



Tranzistori sa kratkim kanalom $V_S \gg E_C L$

Međutim ako je nastupilo zasićenje nosilaca i uz pretpostavke koje smo izveli u uvodnom delu

$$V_S - V_{Tn} > V_{DSnsat} = L_n E_{Cn} = L_n \frac{v_{satn}}{\mu_n} \quad \text{i} \quad V_S - V_{DD} - V_{Tp} < V_{DSpsat} = L_p E_{Cp} = L_p \frac{v_{satp}}{\mu_p}$$

$$W_p C_{oxp} v_{satp} \left(V_I - V_{DD} - V_{Tp} - \frac{V_{DSpsat}}{2} \right) = W_n C_{oxn} v_{satn} \left(V_I - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

$$W_p v_{satp} \left(V_S - V_{DD} - V_{Tp} - \frac{V_{DSpsat}}{2} \right) = W_n v_{satn} \left(V_S - V_{Tn} - \frac{V_{DSnsat}}{2} \right)$$

$$\frac{-W_p v_{satp}}{W_n v_{satn}} = \frac{W_p |v_{satp}|}{W_n v_{satn}} = r$$

$$V_S = \frac{V_{Tn} + \frac{V_{DSnsat}}{2} + r \left(V_{DD} + V_{Tp} + \frac{V_{DSpsat}}{2} \right)}{1 + r}$$



odnosno za zadato V_S odnosi treba da budu

$$\frac{W_p}{W_n} = \frac{\mu_n V_{DSnsat} \left(V_S - V_{Tn} - \frac{V_{DSnsat}}{2} \right)}{\mu_p V_{DSpsat} \left(V_S - V_{DD} - V_{Tp} - \frac{V_{DSpsat}}{2} \right)}$$

U slučaju da tačku V_S podešavamo na polovinu napona napajanja i uz uslov $v_{satn} = -v_{satp}$

$$\frac{W_p}{W_n} = \frac{\frac{V_{DD}}{2} - V_{Tn} - \frac{V_{DSnsat}}{2}}{\frac{V_{DD}}{2} + V_{Tp} + \frac{V_{DSpsat}}{2}}$$

Što je identično i prethodnom izrazu i takođe se kod dugog kanala $V_{DSnsat} > \frac{V_{DD}}{2} - V_{Tn}$ svodi na

$$\frac{W_p}{W_n} = \frac{V_{DSnsat}}{|V_{DSpsat}|} = \frac{\mu_n}{\mu_p}$$



$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

Ako je N tranzistor minimalne geometrije smatra se da je normalizovano $W_n=1$

Zbog tehnoloških parametara normalizovano W_p mora biti ceo broj, eventualno X.5

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \approx \frac{\text{ceo broj } P}{\text{ceo broj } N}$$

Često pitanje je kolika je potreba širina W_p da bi prag odlučivanja bio na polovini napona napajanja za poznato W_n u tehnologiji npr 10nm. U tom slučaju $W_n = (\text{ceo broj } N) \times L$

$$W_p = \text{ceo broj} \left(\frac{\mu_n}{\mu_p} \times (\text{ceo broj } N) \right) \times L$$



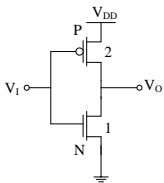
Dimenzije tranzistora CMOS invertora - jedinični CMOS invertor

Pojam jediničnog CMOS invertora će nam se pojavljivati i pojavljuje se kao reprezentativan primer za odgovarajuću tehnologiju. Pored ostalih parametara tehnologija određuje i sa kojim minimalnim dimenzijama raspolažemo, odnosno koliko su nam minimalne dužine i širine kanala. Oznaka tehnologije je istovremeno i ta minimalna dimenzija. Znači kada se kaže da je digitalni sistem, na primer procesor, urađen u 45nm tehnologiji, to znači da su tranzistori koji imaju minimalnu geometriju dužine kanala 45nm i širine kanala 45nm. Ono što je najčešće kao što smo i mi radili jeste da se parametri tranzistora podešavaju samo promenom dužine i širine kanala. U tom slučaju dužina i širina kanala su celobrojni multipl minimalnih dimenzija.

(10 μ m–1971, [6 \$\mu\$ m](#)–1974, [3 \$\mu\$ m](#)–1977, [1.5 \$\mu\$ m](#)–1981, [1 \$\mu\$ m](#)–1984, [800nm](#)–1987, [600nm](#)–1990, [350nm](#)–1993, [250nm](#)–1996, [180nm](#)–1999, [130nm](#)–2001, [90nm](#)–2003, [65nm](#)–2005, 45nm–2007, [32nm](#)–2009, [22nm](#)–2012, [14nm](#)–2014, [10nm](#)–2016, [7nm](#)–2018, [5nm](#)–~2020)



Zbog mogućnosti skaliranja i prelazaka sa jedne na druge tehnologije uveden je normirana dimenzija, parametar λ (nema veze sa parametrima λ_n i λ_p) koji u stvari pokazuje mogućnosti tehnologije, a svi ostale dimenzije koji se daju su celobrojni umnošci tog parametra. Znači dimenzije tranzistora i odnosi dimenzija se daju samo kao celobrojne vrednosti. Parametar λ je definisan tako da 2λ u stvari predstavlja minimalne tehnološke dimenzije. Neke dimenzije je moguće ostvariti i sa dimenzijama koje su „polovina minimalne dimenzije“. Prilikom označavanja tranzistora najčešće se podrazumeva da je dužina kanala svih tranzistora ista (i često minimalna) a onda se označavaju samo širine kanala.

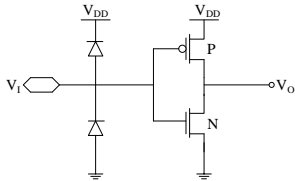


U ovom smislu se i definiše **CMOS invertor minimalne geometrije – jedinični CMOS invertor**. Dužine kanala P i N tranzistora su iste, a širine zadovoljavaju neke od prethodnih izvedenih odnosa, ili kompromis tih zahteva. Najčešće je odnos 2:1. Zauzima „najmanje prostora“ i kapacitivnosti su minimalne.

U ovom smislu treba biti samo oprezan, kada se daju odnosi „većih tranzistora“. Na primer neka je računski na osnovu nekih prethodnih uslova dobijeno da odnos treba da bude 2.376. Za invertor minimalne geometrije taj odnos treba da bude približan ceo broj odnosno 2. Međutim ako je iz nekog razloga kanal N tranzistora širine 10, onda P tranzistor neće biti širine 20 nego 24, itd...



ESD zaštita



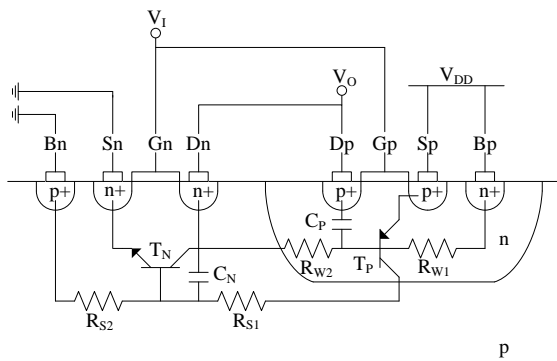
Osnova rada CMOS logičkih kola jeste tanak oksid na gejtju tranzistora. Sam ulazak u gejt je visokoimpedansna tačka koja ako služi kao ulaz spoljnih signala nema putanju ni prema napajanju ni prema masi. Bilo koja relativno mala količina naelektrisanja dovedena na taj ulaz može izazvati velika polja na gejtju a time i probijanje oksida gejta. Zbog toga se na gejtovne odnosno ulazne priključke obavezno stavljaju zaštitne diode čija je uloga da obezbede odvođenje viška naelektrisanja prema napajanju odnosno prema masi i da ne dozvole potencijale na gejtovima tranzistora većim od napona napajanja odnosno nižim od napona mase.

CMOS logička kola su izuzetno osetljiva na statičko naelektrisanje pa je jedno od opštih pravila da pinovi CMOS logičkih kola ne smeju da se dodiruju rukama. Takođe rukovanje sa CMOS logičkim kolima podrazumeva da i oprema i operator budu „uzemljeni“ odnosno na potencijalu mase, na kojem se nalazi i logičko kolo.

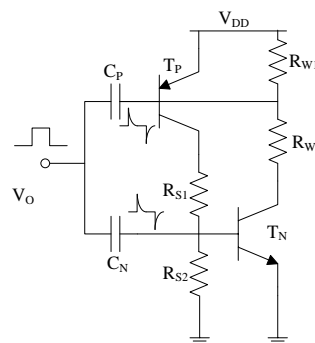


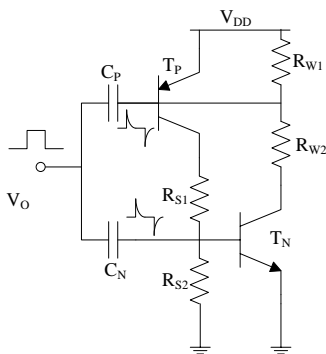
Latch-Up

Jedan od velikih problema koji se pojavljuje kod CMOS logičkih kola zbog njihove interne strukture i parazitenih efekata jeste pojava lečapa (Latch-Up).



Dimenzije tranzistora su male i dovoljne da se formiraju dva parazita tranzistora u npn i pnp oblastima. Ovi tranzistori imaju „usku“ bazu i mogu da rade sa relativno velikim pojačanjima.





Ono što se može uočiti sa slike je da kondenzatori, parazitne kapacitivnosti, C_P i C_N u odnosu na izlazni signal i baze tranzistora T_N i T_P imaju diferencijatorski efekat. Što je brzina porasta signala na izlazu veća to će i ovaj efekat biti izraženiji. Može se desiti da impuls na bazi tranzistora T_N bude dovoljno veliki da se uključi tranzistor. Tada započinje pozitivna reakcija i nastaje lečap. Tranzistor T_N kada provede izazvaće pad napona na otporniku R_{W1} što dovodi do uključanja tranzistora T_P . Uključenje tranzistora T_P izaziva pojavu napona na otporniku R_{S1} što dalje obezbeđuje bolje provođenje tranzistora T_N , veći pad napona na otporniku R_{W1} , bolje provođenje tranzistora T_P , veći pad napona na otporniku R_{S1} , bolje provođenje tranzistora T_N ... Pozitivna reakcija koja će se završiti tako što i tranzistori T_N i T_P vode bez ikakvih spoljnih dodatnih uslova, i ostvaruju kratak spoj između napajanja i mase. Do iste pozitivne reakcije vodi i situacija ako se prvo uključi tranzistor T_P negativnim impulsom iza diferencijatora.



Lečap može da bude destruktivan za komponentu, ali u mnogim slučajevima disipacija nije dovoljna za destrukciju zbog ograničenog strujnog kapaciteta izvora za napajanje. Ali će baš iz tog razloga napon napajanja pasti i onemogućiti ispravno funkcionisanje komponente.

Ako se lečap pojavio, da bi nestao mora da se ukloni napon napajanja.

Pojava lečapa najčešće nastaje kod delova kola koja su povezana na „spojni svet“, kada prilikom nestajanja ili uspostavljanja napona napon na izlaznim priključcima naglo raste. Zbog toga se često kod ovih komponenti povećava vreme uspona i pada signala, odnosno smanjuje brzina porasta signala na izlazu. Druga tehnika je da se oblasti P i N tranzistora okruže prstenovima koji će biti direktno povezani na napajanje odnosno na masu kako bi se efektivno smanjio uticaj jednog tranzistora na drugi.



Disipacija kod CMOS logičkih kola

Kod CMOS invertora statička disipacija je jako malo, pošto je uvek jedan tranzistor zakočen, odnosno ili je zakočen PUN ili PDN deo kola. Znači statičku disipaciju će predstavljati samo struje curenja i potpražni režim rada MOS tranzistora.

$$P_{stat} = V_{DD}I_{stat}$$

Međutim sa ovim zaključkom treba biti oprezan pošto se odnosi samo na jedan inverter. Kada su u pitanju složeni digitalni sistemi broj tranzistora u njima se kreće reda $N_T \sim 10^9$. Pa ako je na primer struja $I_{stat} \sim 10^{-9} = 1nA$ da vidimo šta bi se desilo kada takav uređaj radi sa baterijom od 1000mAh (ovaj podatak znači da je kapacitet baterije takav da može da daje struju od 1000mA jedan sat, ili 10mA 100 sati itd...). Ukupna struja u statičkom režimu za pretpostavljeni slučaj bi bila $\sum I_{stat} \sim 10^{-9} \times 10^9 = 1A$ i uređaj bi ispraznio bateriju za 1 sat a da „ništa nije radio“. Situacija u savremenim digitalnim sistemima je takva da se u tehnologijama izrade tranzistora poklanja velika pažnja kako bi se ove struje smanjile i u realnosti su daleko manje nego što su u našem pretpostavljenom slučaju. Ali ih ne treba zaboraviti.

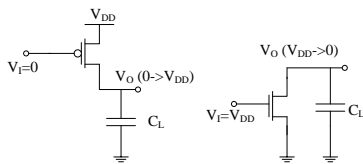


Ali ono što je značajno za CMOS logička kola jeste **dinamička disipacija**.

Dinamička disipacija nastaje iz dva razloga:

1. kada se pune i prazne parazitne kapacitivnosti na izlazu,
2. zbog neidealnosti ulaznih signala koji će izazvati proticanje struje kratkog spoja kroz inverter.





U situaciji kada P tranzistor treba da napuni parazitnu kapacitivnost ukupna energija koja će se potrošiti iz izvora za napajanje je

$$E_{VDD} = \int_0^{\infty} i_{VDD}(t)V_{DD} dt = V_{DD} \int_0^{\infty} i_{CL}(t)dt = V_{DD} \int_0^{\infty} C_L \frac{u_{CL}(t)}{dt} dt$$

$$E_{VDD} = C_L V_{DD} \int_0^{V_{DD}} du_{CL}(t) = C_L V_{DD}^2$$

dok je na kraju procesa punjenja energija u kondenzatoru

$$E_{CL} = \frac{C_L V_{DD}^2}{2}$$

Razlika energija je disipirana na P tranzistoru.

$$E_P = E_{VDD} - E_{CL} = C_L V_{DD}^2 - \frac{C_L V_{DD}^2}{2} = \frac{C_L V_{DD}^2}{2}$$

U toku pražnjenja kondenzatora celokupna energija koja se nalazi u njemu će biti disipirana na N tranzistoru.

$$E_N = E_{CL} = \frac{C_L V_{DD}^2}{2}$$



Ukupna energija disipirana na invertoru je $E_{dyn} = E_P + E_N = C_L V_{DD}^2$.

Ako se ovaj proces dešava sa učestanošću $f = \frac{1}{T_P + T_N}$

gde je T_P trajanje logičke jedinice na ulazu, radi P tranzistor

i T_N trajanje logičke jedinice na ulazu, radi N tranzistor

dinamička disipacija na invertoru je

$$P_{dyn} = C_L V_{DD}^2 f$$

Ovaj rezultat je zanimljiv, pošto pokazuje da će dinamička disipacija biti „značajna“ zbog relativno velike parazitne kapacitivnosti i učestanosti na kojoj inverter radi. Ali iz još jednog razloga. Na primer većina procesora je predviđena da radi i na višim učestanostima nego što je deklarirano, odnosno od one na kojoj rade u sistemima. Poznato je da se mogu „overklokovati“ odnosno naterati da rade i na višim učestanostima.



$$t_p = 0.69 R_{eq} C_{eq}$$

Da bi obezbedili da je ovo kašnjenje manje ili treba smanjiti R_{eq} ili C_{eq} .

$$R_p \approx \frac{3}{4} \frac{V_{DD}}{I_{Dpsat}} \left(1 - \frac{7}{9} |\lambda_p| V_{DD} \right)$$

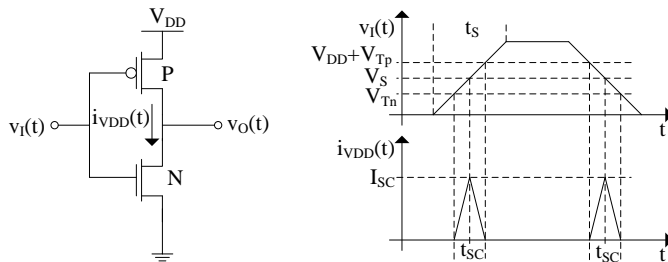
i

$$I_{Dpsat} = \frac{k_p}{2} \frac{1}{1 + \frac{-V_{DD} - V_{Tp}}{E_{Cp} L_p}} (-V_{DD} - V_{Tp})^2$$

Sigurno važi $R_{eq} \sim \frac{1}{V_{DD}}$, odnosno da bi smanjili dinamičke otpornosti a time i kašnjenje moramo povećati napon napajanja. Na žalost tada ćemo disipaciju povećati sa trećim stepenom pa moramo obezbediti znatno bolje hlađenje procesora. Overklovanje bez povećanja napona napajanja neće uspeti, a bez povećanja hlađenja dovešće do stradanja procesora. Ali isto tako nam ovi rezultati pokazuju da je u sistemima koji su baterijski napajani, ograničen izvor energije, moguće uštedeti energiju, produžiti rad uređaja, tako što će se procesoru i digitalnim sistemima kada nisu potrebni smanjivati učestanost rada i napon napajanja. Tehnika (voltage frequency scaling) koja se koristi u svim mobilnim telefonima, laptopovima itd...



Drugi izvor disipacije na invertoru je struja kratkog spoja, odnosno situacija kada oba tranzistora provode zbog konačne brzine uzlaznih i silaznih ivica ulaznih signala.

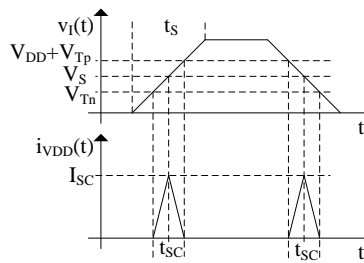
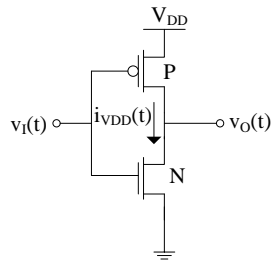


U tom slučaju, sa pretpostavkom $t_r = t_f$ i $V_{Tn} = V_{Tp} = V_T$

$$E_{SC} = V_{DD} \frac{I_{SC} t_{SC}}{2} + V_{DD} \frac{I_{SC} t_{SC}}{2} = V_{DD} I_{SC} t_{SC}$$

$$I_{SC} = \frac{k_n}{2} \frac{1}{1 + \frac{V_S - V_{Tn}}{L_n E_{Cn}}} (V_S - V_{Tn})^2$$





$$t_{SC} = \frac{t_s}{V_{DD}} (V_{DD} - (V_{Tn} + |V_{Tp}|)) = \frac{V_{DD} - 2V_T}{V_{DD}} \frac{t_r}{0.8}$$

$$E_{SC} = I_{SC} (V_{DD} - 2V_T) \frac{t_r}{0.8}$$

$$P_{SC} = I_{SC} (V_{DD} - 2V_T) \frac{t_r}{0.8} f$$



Ukupna disipacija na invertoru je

$$P_{tot} = P_{stat} + P_{dyn} + P_{SC}$$

od čega je najznačajnija i najveća P_{dyn} . Iz tog razloga da bi se poredile različite tehnologije uveden je PDP (power delay product) faktor tehnologije (što je manji to bolje)

$$PDP = P_{dyn} t_p = C_L V_{DD}^2 f t_p$$

i ako se smatra da invertor radi na maksimalnoj učestanosti $f_{max} = \frac{1}{2t_p}$

$$PDP = P_{dyn} t_p = C_L V_{DD}^2 \frac{1}{2t_p} t_p = \frac{C_L V_{DD}^2}{2}$$



Međutim danas se dosta često kao „bolji pokazatelj“ tehnologije (energija je bitna pogotovo za baterijski napajane uređaje) koristi faktor EDP (energy delay product) definisan kao

$$EDP = PDPt_p = \frac{C_L V_{DD}^2}{2} t_p$$

Što je manji to je bolja tehnologija.



Ako se podsetimo da je $t_p \sim R_{eq} C_L$ i $R_{eq} \approx \frac{3 V_{DD}}{4 I_{Dsat}} \left(1 - \frac{7}{9} \lambda_p V_{DD}\right)$ i za kratki kanal kada nastupa „brzo“ zasićenje $I_{Dsat} = W C_{ox} n \nu_{sat} \left(V_{DD} - V_T - \frac{V_{DSSat}}{2}\right)$ možemo izvesti zaključak da će

$$t_p \approx \frac{\alpha C_L V_{DD}}{V_{DD} - V_{Te}}$$

gde je α koeficijent proporcionalnosti a $V_{Te} = V_T + \frac{V_{DSSat}}{2}$. U tom slučaju

$$EDP = \frac{C_L V_{DD}^2}{2} \frac{\alpha C_L V_{DD}}{V_{DD} - V_{Te}} = \frac{\alpha}{2} \frac{C_L^2 V_{DD}^3}{V_{DD} - V_{Te}}$$

Čemu sve ovo? Da bi eventualno odredili optimalno napajanje V_{DD} kako bi EDP bio minimalan. Diferenciranjem po V_{DD} dobijamo da je

$$V_{DDopt} = \frac{3}{2} V_{Te} = \frac{3}{2} \left(V_T + \frac{V_{DSSat}}{2}\right)$$

